

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-190361

(43)Date of publication of application : 22.07.1997

(51)Int.Cl.

G06F 11/18

G06F 11/22

G06F 11/30

G06F 13/00

(21)Application number : 08-004127

(71)Applicant : HITACHI LTD

(22)Date of filing : 12.01.1996

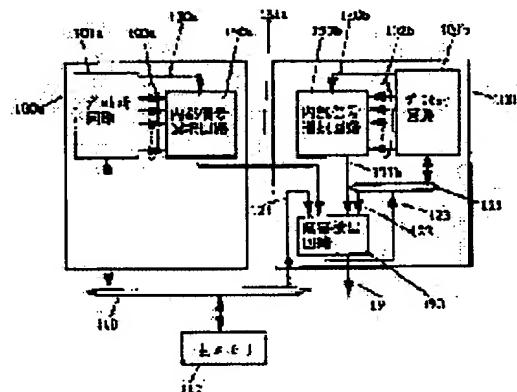
(72)Inventor : SHIMOMURA TETSUYA
MURABAYASHI FUMIO
SHIMAMURA KOTARO
KANEKAWA NOBUYASU
HOTTA TAKASHI

(54) INFORMATION PROCESSING SYSTEM DETECTING FAULT BY INTERNAL SIGNAL AND LOGICAL LSI

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the fault detection rate while suppressing the increase of wirings, etc., in an information processing system applying a master checker system.

SOLUTION: A selection circuit 150a selects one of signals 102a showing the processing results of the built-in circuit of a processor 101a and outputs the selected signal 102a as an internal signal 131a. This signal selection is carried out based on a selection signal 130a sent from the processor 101a. In the same way, a selection circuit 150b outputs an internal signal 131b. A fault detection circuit 190 decides the coincidence between both signals 131a and 131b to detect a fault. The processor 101a properly changes the signal 130a to output the processing result signals 102a that are effective to detect the faults as the internal signals 131.



LEGAL STATUS

[Date of request for examination]

04.02.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3247043

[Date of registration]

02.11.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-190361

(43) 公開日 平成9年(1997)7月22日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F	11/18	3 1 0	G 0 6 F 11/18	3 1 0 C
	11/22	3 1 0	11/22	3 1 0 E
	11/30	7313-5B	11/30	G
	13/00	3 0 1	13/00	3 0 1 A

審査請求 未請求 請求項の数16 O L (全 19 頁)

(21) 出願番号 特願平8-4127

(22) 出願日 平成8年(1996)1月12日

(71) 出願人 00005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 下村 哲也

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 村林 文夫

神奈川県秦野市堀山下1番地 株式会社日立製作所汎用コンピュータ事業部内

(72) 発明者 島村 光太郎

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 富田 和子

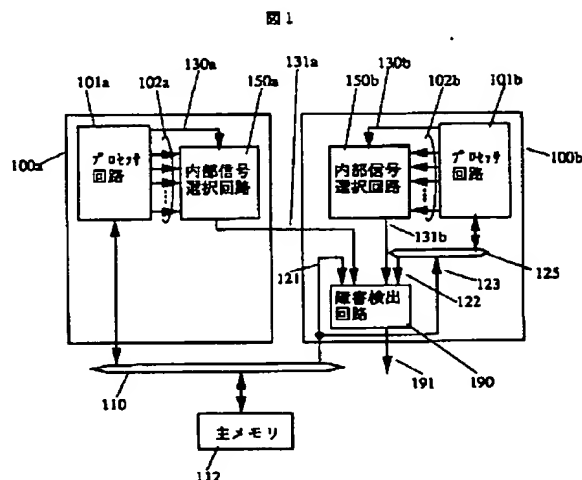
最終頁に続く

(54) 【発明の名称】 内部信号で障害検出を行う情報処理システムおよび論理 L S I

(57) 【要約】

【課題】 マスタ・チェッカ方式で構成される情報処理システムにおいて、配線等の増加を抑えながら障害検出率を向上すること。

【解決手段】 選択回路150aは、プロセッサ101aの内蔵回路の処理結果である処理結果信号102aのうちのいずれかを選択し、内部信号131aとして出力する。該選択は、プロセッサ101aからの選択信号130aに従って行う。選択回路150bも同様にして内部信号131bを出力する。障害検出回路190は、内部信号131aと内部信号131bとの一致性を判定することで、障害検出を行う。プロセッサ101aは、選択信号130aを適宜変更することで、障害検出という目的にとってその時有効な処理結果信号102aを内部信号131として出力させる。



【特許請求の範囲】

【請求項1】複数の情報処理装置を備え、各情報処理装置の処理結果を比較することで障害の発生を検出する機能を備えた情報処理システムにおいて、前記情報処理装置のそれぞれは、複数の内蔵回路および該内蔵回路それぞれの処理結果を出力する内部処理結果出力手段を備えたプロセッサ回路と、あらかじめ定められた時間ごとに前記内部処理結果出力手段の出力信号の中からいずれかを選択して出力する内部信号選択回路とを有するものであり、前記内部信号選択回路それぞれの出力する信号を比較し、その比較結果を出力する比較回路を有すること、を特徴とする情報処理システム。

【請求項2】前記情報処理装置間および前記比較回路と前記情報処理装置との間をつなぐバスを備え、前記情報処理装置のうちの少なくとも一つは、前記内部信号選択回路の出力する信号を前記バスを通じて前記比較回路に入力させるものであること、を特徴とする請求項1記載の情報処理システム。

【請求項3】前記情報処理装置のうち前記信号選択回路の出力する信号を前記バスを通じて前記比較回路に入力させているものは、当該情報処理装置自身の備える前記プロセッサ回路が出力する信号と、当該情報処理装置自身の備える前記内部信号選択回路の出力信号とのいずれか一方を選択して前記バスへ出力する第1の選択回路をさらに有すること、を特徴とする請求項2記載の情報処理システム。

【請求項4】前記バスに接続された記憶装置をさらに備え、前記比較回路は、前記プロセッサ回路が前記バスを通じて前記記憶装置に向けて出力する信号が入力されており、前記プロセッサ回路のそれぞれが前記記憶装置に向けて出力する信号を比較しその比較結果を出力するものであること、を特徴とする請求項3記載の情報処理システム。

【請求項5】前記比較回路は前記情報処理装置のうちのいずれかに含まれており、前記比較回路を含んだ前記情報処理装置は、当該情報処理装置自身の備える前記プロセッサ回路の出力信号と、当該情報処理装置自身の備える前記内部信号選択回路の出力信号とのいずれか一方を、前記第1の選択回路と同期して選択し出力する第2の選択回路をさらに有すること、を特徴とする請求項4記載の情報処理システム。

【請求項6】複数の情報処理装置を備え、各情報処理装置の処理結果を比較することで障害の発生を検出する機能を備えた情報処理システムにおいて、前記情報処理装置間における双方向の信号転送に用いられる転送バスを有し、前記情報処理装置は、

複数の内蔵回路および前記内蔵回路それぞれの処理結果を出力する内部処理結果出力手段を備えたプロセッサ回路と、

あらかじめ定められた時間ごとに前記内部処理結果出力手段の出力信号の中からいずれかを選択して出力する内部信号選択回路と、

前記内部信号選択回路の出力する信号のうちの一部を前記転送バスを通じて他の情報処理装置に出力する内部信号出力手段と、

10 前記転送バスを通じて送られてくる他の情報処理装置の前記内部信号出力手段の出力する信号と、自らの内部信号選択回路の出力する信号のうちの上記他の情報処理装置の上記内部信号出力手段の出力する信号に対応する部分とを比較し、その比較結果を出力する比較回路と、を有するものであることを特徴とする情報処理システム。

【請求項7】前記転送バスを通じての信号の送信と受信とを同時に行う全二重インタフェースを備えること、を特徴とする請求項6記載の情報処理システム。

20 【請求項8】前記内部信号選択回路は、前記内部処理結果出力手段の出力信号のうちいずれを選択したかを示す選択情報をも出力するものであり、前記比較回路は、前記選択情報を前記比較結果とともに出力するものであること、を特徴とする請求項1、2、3、4、5、6または7記載の情報処理システム。

【請求項9】前記情報処理装置は、比較回路の出力する前記比較結果および前記選択情報の値に応じて定められた所定の障害回復処理を行うものであること、

30 を特徴とする請求項8記載の情報処理システム。

【請求項10】データを処理する処理ノードを複数備え、該処理ノードを必要に応じて切り替えて処理を継続する情報処理システムにおいて、

上記処理ノードは、自己の動作状態を監視しその異常を検知した場合には異常が発生したことおよび当該異常の発生箇所を示す異常信号を出力する障害検出手段を備えたものであり、

上記異常信号に応じて、上記異常の発生箇所毎にあらかじめ定められた処理を実行することで上記処理ノードを切り替える切換手段を有すること、

40 を特徴とする情報処理システム。

【請求項11】上記処理ノードは、複数の内蔵回路と前記内蔵回路それぞれの処理結果を出力する内部処理結果出力手段とを備えた複数のプロセッサ回路と、

前記内部処理結果出力手段の出力する信号の中からあらかじめ定められた時間ごとに異なる信号を選択して出力可能な内部信号選択回路とを含んで構成されたものであり、

50 上記障害検出手段は、上記異常信号として、自らの内部

信号選択回路の出力する信号と他の処理ノードの内部信号選択回路の出力する信号とを比較するとともに、その比較結果と、前記内部結果出力手段の出力する信号のうち前記内部信号選択回路がいずれを選択しているかを示す選択情報とを、出力するものであること、

を特徴とする請求項10記載の情報処理システム。

【請求項12】前記プロセッサ回路は、前記内蔵回路それぞれの動作状態を出力する内蔵回路動作状態出力手段を有し、

前記内部信号選択回路は、前記内蔵回路動作状態出力手段の出力信号に応じて前記選択の仕方を変更するものであること、

を特徴とする請求項1、2、3、4、5、6、7、8、9または11記載の情報処理システム。

【請求項13】複数の内蔵回路および前記内蔵回路それぞれの処理結果を出力する内部処理結果出力手段を備えたプロセッサ回路と、

あらかじめ定められた時間ごとに前記内部処理結果出力手段の出力信号の中からいずれかを選択して外部へ出力する内部信号選択回路と、

を有することを特徴とする論理LSI。

【請求項14】複数の内蔵回路および前記内蔵回路それぞれの処理結果を出力する内部処理結果出力手段を備えたプロセッサ回路と、

あらかじめ定められた時間ごとに前記内部処理結果出力手段の出力信号の中からいずれかを選択して出力する内部信号選択回路と、

別途入力された信号と、前記内部信号選択回路の出力する信号とを比較し、その比較結果を出力する比較回路をさらに有すること、

を特徴とする請求項13記載の論理LSI。

【請求項15】信号の入出力を同一の信号線を用いて同時に行うことのできる全二重回路を備え、

前記内部信号選択回路の出力する信号のうちの一部は、

前記全二重回路を介して外部へ出力されるものであり、

前記別途入力された信号は、前記全二重回路を介して入力されるものであること、

を特徴とする請求項14記載の論理LSI。

【請求項16】前記プロセッサ回路は、前記内蔵回路それぞれの動作状態を出力する内蔵回路動作状態出力手段をさらに有し、

前記内部信号選択回路は、前記内蔵回路動作状態出力手段の出力信号に応じて前記選択の仕方を変更するものであること、

を特徴とする請求項13、14または15記載の論理LSI。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、障害検出率向上を目的としたマスタ・チェッカ方式で構成される情報処理

システムおよび論理LSIに関するものである。

【0002】

【従来の技術】障害検出率向上を目的として、従来からマスタ・チェッカ方式で構成される情報処理装置がある。このような装置の一例が、R. Emmerson et al., "Fault Tolerance Achieved in VLSI", IEEE Micro, December 1984, pp.34-43に示されている。

【0003】この装置では、マスタユニットの出力データをバスを介してチェッカユニットに入力している。そして、チェッカユニット内の比較回路によって、チェッカユニットのデータと、入力されたマスタユニットの出力データとを比較し、この比較の結果、不一致を検出すると障害検出信号を出力して情報処理装置を停止している。

【0004】

【発明が解決しようとする課題】しかし、近年のプロセス技術の進歩によってプロセッサの内部にはキャッシュメモリを始めとして多数の周辺回路を内蔵するようになってきている。そのため、現在の情報処理装置では、単にバス上のデータを比較するだけでは十分な障害検出が出来なくなってきている。

【0005】障害検出率を向上する方法として、バス上のデータのみならず、プロセッサに内蔵した周辺回路の出力についてもチェッカとマスタとで比較することが考えられる。しかし、全ての内蔵回路の出力を比較しようとすると、マスタ/チェッカ間の比較を行う比較器の面積の増加、配線の増加といった新たな問題が生じる。

【0006】これを改善する技術として、藤原、山縣による「障害処理方式」(特開平7-129426号)がある。この技術は、プロセッサ内部の任意の部分の演算出力の排他的論理和を演算し、その結果をマスタ/チェッカ間で比較して障害を検出するというものである。この技術を用いると、配線や比較器の面積の増加は抑えることはできる。しかし、その一方で、この技術を適用した場合には、例えば、演算出力の1ビットの故障は検出できるが、2ビットの故障は検出できない。つまり、十分な障害検出率を得るといふ本来の目的が十分には達成できていなかった。

【0007】本発明の目的は、マスタ・チェッカ方式で構成される情報処理システムにおいて、配線(マスタとチェッカが別LSIで構成されるシステムにおいてはLSIピン数、マスタとチェッカが一つのLSI内に構成されているシステムにおいてはマスタ/チェッカ間の配線)の増加、マスタ/チェッカ間の比較を行うための比較器の面積の増加を抑えつつ、障害検出率を向上させた情報処理システムおよび論理LSIを提供することである。

【0008】

【課題を解決するための手段】本発明は上記目的を達成するためになされたものでその第1の態様としては、複数の情報処理装置を備え、各情報処理装置の処理結果を

10

20

30

40

50

比較することで障害の発生を検出する機能を備えた情報処理システムにおいて、前記情報処理装置のそれぞれは、複数の内蔵回路および該内蔵回路それぞれの処理結果を出力する内部処理結果出力手段を備えたプロセッサ回路と、あらかじめ定められた時間ごとに前記内部処理結果出力手段の出力信号の中からいずれかを選択して出力する内部信号選択回路とを有するものであり、前記内部信号選択回路それぞれの出力する信号を比較し、その比較結果を出力する比較回路を有することを特徴とする情報処理システムが提供される。

【0009】前記情報処理装置間および前記比較回路と前記情報処理装置との間をつなぐバスを備え、前記情報処理装置のうちの少なくとも一つは、前記内部信号選択回路の出力する信号を前記バスを通じて前記比較回路に入力させるものであることが好ましい。

【0010】さらには、前記情報処理装置のうち前記信号選択回路の出力する信号を前記バスを通じて前記比較回路に入力させているものは、当該情報処理装置自身の備える前記プロセッサ回路が出力する信号と、当該情報処理装置自身の備える前記内部信号選択回路の出力信号とのいずれか一方を選択して前記バスへ出力する第1の選択回路をさらに有してもよい。

【0011】前記バスに接続された記憶装置をさらに備え、前記比較回路は、前記プロセッサ回路が前記バスを通じて前記記憶装置に向けて出力する信号が入力されており、前記プロセッサ回路のそれぞれが前記記憶装置に向けて出力する信号を比較しその比較結果を出力してもよい。

【0012】前記比較回路は前記情報処理装置のうちのいずれかに含まれており、前記比較回路を含んだ前記情報処理装置は、当該情報処理装置自身の備える前記プロセッサ回路の出力信号と、当該情報処理装置自身の備える前記内部信号選択回路の出力信号とのいずれか一方を、前記第1の選択回路と同期して選択し出力する第2の選択回路をさらに有してもよい。

【0013】該第1の態様における作用を説明する。

【0014】各プロセッサ回路の内部処理結果出力手段は、内蔵回路それぞれの処理結果を出力する。内部信号選択回路は、あらかじめ定められた時間（例えば、プロセッサ回路の実行マシンサイクル）ごとに内部処理結果出力手段の出力信号の中からいずれかを選択して出力する。比較回路は、内部信号選択回路それぞれの出力する信号を比較し、その比較結果を出力する。この比較結果を観測することで、この情報処理システムにおける異常の発生を検出できる。つまり、比較した二つの信号が一致していなければ、何らかの異常が発生していることになる。

【0015】この場合、内部信号選択回路の出力する信号を、バスを通じて比較回路に入力させるようにすれば、該信号の授受のためだけの専用の信号線を設ける必

要がない。さらに、第1の選択回路によって、プロセッサ回路が出力する信号と、内部信号選択回路の出力信号とのいずれか一方を選択してバスへ出力することで、バスとの接続に必要な信号線、端子も共用化できる。

【0016】プロセッサ回路が記憶回路に向けて出力する信号をも比較回路で比較するようにすれば、この信号の一致性に基づいても異常の発生を検出できる。なお、比較回路をいずれかの情報処理装置に含めている場合には、第2の選択回路によって、プロセッサ回路の出力信号と、内部信号選択回路の出力信号とのいずれか一方を、第1の選択回路と同期して選択し出力するようにする。これにより比較回路では、第1、第2の選択回路の選択状態に応じて、その比較の内容（プロセッサ回路が記憶回路へ出力する信号の比較／内部信号選択回路の出力信号の比較）が変更されることになる。

【0017】本発明の第2の態様としては、複数の情報処理装置を備え、各情報処理装置の処理結果を比較することで障害の発生を検出する機能を備えた情報処理システムにおいて、前記情報処理装置間における双方向の信号転送に用いられる転送バスを有し、前記情報処理装置は、複数の内蔵回路および前記内蔵回路それぞれの処理結果を出力する内部処理結果出力手段を備えたプロセッサ回路と、あらかじめ定められた時間ごとに前記内部処理結果出力手段の出力信号の中からいずれかを選択して出力する内部信号選択回路と、前記内部信号選択回路の出力する信号のうちの一部を前記転送バスを通じて他の情報処理装置に出力する内部信号出力手段と、前記転送バスを通じて送られてくる他の情報処理装置の前記内部信号出力手段の出力する信号と、自らの内部信号選択回路の出力する信号のうちの上記他の情報処理装置の上記内部信号出力手段の出力する信号に対応する部分とを比較し、その比較結果を出力する比較回路と、を有するものであることを特徴とする情報処理システムが提供される。

【0018】前記転送バスを通じての信号の送信と受信とを同時に行う全二重インタフェースを備えてもよい。

【0019】第2の態様についての作用を説明する。

【0020】各プロセッサ回路の内部処理結果出力手段は、内蔵回路それぞれの処理結果を出力する。内部信号選択回路は、あらかじめ定められた時間（例えば、プロセッサ回路の実行マシンサイクル）ごとに内部処理結果出力手段の出力信号の中からいずれかを選択して出力する。内部信号出力手段は、内部信号選択回路の出力する信号のうちの一部を転送バスを通じて他の情報処理装置に出力する。

【0021】比較回路は、転送バスを通じて送られてきた他の情報処理装置の内部信号出力手段の出力信号と、自らの内部信号選択回路の出力する信号のうち転送バスを通じて他の情報処理装置から送られてきた信号に対応する部分と、を比較し、その比較結果を出力する。各情

10

20

30

40

50

報処理装置の比較回路の比較結果を観測することで、この情報処理システムにおける異常の発生を検出できる。つまり、比較した二つの信号が一致していなければ、何らかの異常が発生していることになる。なお、このような手法は、異常検出を複数の情報処理装置で分担して行っていることになる。従って、内部信号選択回路の出力する信号を互いに授受したすべての情報処理装置のうち、いずれかにおいて不一致があった場合には異常が発生していることになる。

【0022】この場合、内部信号出力手段の出力する信号の授受を、全二重インタフェースを用いて行うようにすれば、ピン数を減らすことができる。例えば、内部信号のデータ幅のうちの半分を全二重インタフェースを通じて授受することで、ピン数を内部信号のデータ幅の半分にできる。

【0023】以上述べた第1、第2の態様においては、前記内部信号選択回路は、前記内部処理結果出力手段の出力信号のうちいずれを選択したかを示す選択情報をも出力するものであり、前記比較回路は、前記選択情報を前記比較結果とともに出力するものであってもよい。

【0024】また、前記情報処理装置は、比較回路の出力する前記比較結果および前記選択情報の値に応じて定められた所定の障害回復処理を行うものであってもよい。

【0025】このようにすることで、障害の発生箇所に応じて最適な処置を取ることができる。

【0026】本発明の第3の態様としては、データを処理する処理ノードを複数備え、該処理ノードを必要に応じて切り替えて処理を継続する情報処理システムにおいて、上記処理ノードは、自己の動作状態を監視しその異常を検知した場合には異常が発生したことおよび当該異常の発生箇所を示す異常信号を出力する障害検出手段を備えたものであり、上記異常信号に応じて、上記異常の発生箇所毎にあらかじめ定められた処理を実行することで上記処理ノードを切り替える切換手段を有すること、を特徴とする情報処理システムが提供される。

【0027】上記処理ノードは、複数の内蔵回路と前記内蔵回路それぞれの処理結果を出力する内部処理結果出力手段とを備えた複数のプロセッサ回路と、前記内部処理結果出力手段の出力する信号の中からあらかじめ定められた時間ごとに異なる信号を選択して出力可能な内部信号選択回路とを含んで構成されたものであり、上記障害検出手段は、上記異常信号として、自らの内部信号選択回路の出力する信号と他の処理ノードの内部信号選択回路の出力する信号とを比較するとともに、その比較結果と、前記内部処理結果出力手段の出力する信号のうち前記内部信号選択回路がいずれを選択しているかを示す選択情報とを、出力するものであることが好ましい。

【0028】第3の態様における作用を説明する。

【0029】処理ノードの障害検出手段は、自己の動作

状態を監視する。そして、その異常を検知した場合には異常が発生したことおよびその異常の発生箇所を示す異常信号を出力する。

【0030】これは例えば、以下のようにして実現される。つまり、プロセッサ回路の内部処理結果出力手段は、内蔵回路それぞれの処理結果を出力する。内部信号選択回路は、内部処理結果出力手段の出力する信号の中からあらかじめ定められた時間ごとに異なる信号を選択して出力する。障害検出手段は、この異常信号として、自らの内部信号選択回路の出力する信号と他の処理ノードの内部信号選択回路の出力する信号とを比較した結果と、前記内部処理結果出力手段の出力する信号のうち前記内部信号選択回路がいずれを選択しているかを示す選択情報とを、出力する。

【0031】切換手段は、異常信号に応じて、異常の発生箇所毎にあらかじめ定められた処理を実行することで処理ノードを切り替える。

【0032】以上述べた、第1、第2、第3の態様においては、前記プロセッサ回路は、前記内蔵回路それぞれの動作状態を出力する内蔵回路動作状態出力手段を有し、前記内部信号選択回路は、前記内蔵回路動作状態出力手段の出力信号に応じて前記選択の仕方を変更するものであってもよい。

【0033】内蔵回路動作状態出力手段は、内蔵回路それぞれの動作状態（例えば、プロセッサ回路の備えているキャッシュメモリの使用の有無等）を出力する。内部信号選択回路は、内蔵回路動作状態出力手段の出力信号に応じて選択の仕方を変更する。例えば、その時キャッシュメモリを使用していないことが内蔵回路動作状態出力手段の出力によって分かっている場合には、内部信号選択回路は、当該キャッシュメモリに対応する信号を選択の対象からはずす。このようにその時有効に動作していない内蔵回路（の信号）を比較の対象からはずすことなどができるため、異常の検出をより効率的に行うことができる。

【0034】本発明の第4の態様としては、複数の内蔵回路および前記内蔵回路それぞれの処理結果を出力する内部処理結果出力手段を備えたプロセッサ回路と、あらかじめ定められた時間ごとに前記内部処理結果出力手段の出力信号の中からいずれかを選択して外部へ出力する内部信号選択回路とを有することを特徴とする論理LSIが提供される。

【0035】複数の内蔵回路および前記内蔵回路それぞれの処理結果を出力する内部処理結果出力手段を備えたプロセッサ回路と、あらかじめ定められた時間ごとに前記内部処理結果出力手段の出力信号の中からいずれかを選択して出力する内部信号選択回路と、別途入力された信号と、前記内部信号選択回路の出力する信号とを比較し、その比較結果を出力する比較回路をさらに有することが好ましい。

【0036】信号の入出力を同一の信号線を用いて同時に行うことのできる全二重回路を備え、前記内部信号選択回路の出力する信号のうちの一部は、前記全二重回路を介して外部へ出力されるものであり、前記別途入力された信号は、前記全二重回路を介して入力されるものであることが好ましい。

【0037】前記プロセッサ回路は、前記内蔵回路それぞれの動作状態を出力する内蔵回路動作状態出力手段をさらに有し、前記内部信号選択回路は、前記内蔵回路動作状態出力手段の出力信号に応じて前記選択の仕方を変更するものであることが好ましい。

【0038】第4の態様の作用を説明する。

【0039】プロセッサ回路の内部処理結果出力手段は、内蔵回路それぞれの処理結果を出力する。内部信号選択回路は、あらかじめ定められた時間ごとに、内部処理結果出力手段の出力信号の中からいずれかを選択して外部へ出力する。

【0040】全二重回路によって、内部信号選択回路の出力する信号のうちの一部を外部へ出力させる一方で、別途入力された信号（実際には、他の論理LSIの内部信号選択回路が外部へ出力する信号）の入力の受け付けるようにすれば、信号線の数を減らすことができる。

【0041】比較回路を備えている場合、この比較回路は、別途入力された信号と、内部信号選択回路の出力する信号とを比較し、その比較結果を出力する。

【0042】内蔵回路動作状態出力手段は、内蔵回路それぞれの動作状態を出力する。内部信号選択回路は、内蔵回路動作状態出力手段の出力信号に応じて選択の仕方を変更する。例えば、その時キャッシュメモリを使用していないことが内蔵回路動作状態出力手段の出力によって分かっている場合には、内部信号選択回路は、当該キャッシュメモリに対応する信号を選択の対象からはずす。このようにその時有効に動作していない内蔵回路（の信号）を比較の対象からはずすことなどができるため、異常の検出をより効率的に行うことができる。

【0043】

【発明の実施の形態】本発明の実施形態を図面を参照して説明する。

【0044】図1は、本発明の第1の実施形態の全体構成図である。図1において、符号“100a”を付したのはマスタユニット、符号“100b”を付したのはチェッカユニットである。同様に、“101a”、“101b”はプロセッサ回路、“150a”、“150b”は内部信号選択回路、“190”は障害検出回路、“110”は共通バス、“112”は主メモリ、“121～123”は転送バス、“125”は内部バスを指している。また、符号“191”は障害検出信号、“102a”、“102b”は内部処理結果信号、“130a”、“130b”は選択信号、“131a”、“131b”は内部信号を指している。

【0045】ここで、マスタユニット100aとチェッカユニット100bはそれぞれ複数のLSIで構成されてもよいし、1つのLSIで構成されていてもよい。また、マスタユニット100a、チェッカユニット100b、共通バス110が1つのLSI上に集積されているもよい。

【0046】マスタユニット100aとチェッカユニット100bは同一の処理を実行している。主メモリ112からデータを読み込む時には、マスタユニット100aのプロセッサ回路101aは、共通バス110を通して主メモリ112へアドレスを送る。これに応じて、主メモリ112は、当該アドレスに格納されているデータを共通バス110を通してプロセッサ回路101aへ送る。このとき主メモリ112から共通バス110にデータが出力されたタイミングに同期して、チェッカユニット100bも該データを取り込む。そして、転送バス123、内部バス125を通してプロセッサ回路101bに該データを転送する。

【0047】主メモリ112にデータを書き込むときは、マスタユニット100aのプロセッサ回路101aは、共通バス110を通してアドレスとデータとを主メモリ112に送る。このときチェッカユニット100bは、マスタユニット100aが該データ等を共通バス110に出力したタイミングで、共通バス110から該データを読み込む。該読み込まれたデータは、転送バス121を通して障害検出回路190に入力される。これと同時に、該障害検出回路190には、プロセッサ回路101bの出力するデータも、内部バス125、転送バス122を通して入力されている。

【0048】ところで、プロセッサ回路101aは、自らが備えている各種内蔵回路の処理結果を内部処理結果信号102aとして内部信号選択回路150aに出力している。また、選択信号130aを生成し、内部信号選択回路150aに出力している。選択信号130aは、プロセッサ回路101aの動作状況を反映して実行マシンサイクルごとにその内容が変わりうる信号である。内部信号選択回路150aは、選択信号130aに基づいて、この内部処理結果信号102aの中からいずれかの信号を選択し、その選択した信号を内部信号131aとしてチェッカユニット100bに出力する。この場合、内部信号131aとして出力される信号の種類（すなわち、障害検出の対象となる内蔵回路の種類）を、実行マシンサイクルごとに見直されることになる。

【0049】チェッカユニット101bでも同様にし、内部信号選択回路150bから内部信号131bが出力されている。マスタユニット100aの出力する内部信号131aと、チェッカユニット100bの内部信号131bとは、障害検出回路190へ入力される。

【0050】障害検出回路190は、転送バス121から入力されたデータと転送バス122から入力されたデ

ータとを比較することによって、また、内部信号131aと内部信号131bとを比較することによって、マスタユニット100aとチェッカユニット100bとの間での処理結果の一致性を判定する。該判定の結果、両ユニット間において不一致が発生していた場合には、何らかの障害が発生していると判断し、障害検出信号191を出力する。

【0051】以上述べたとおり、本実施形態ではプロセッサ回路101a、101bの動作状況を反映して実行マシンサイクルごとに変わる（但し、同じ信号が続けて出力される場合もある）選択信号130a、130bに基づいて、障害検出の対象とする内蔵回路を選択している。これによりその時有効な処理を行っている内蔵回路に的を絞って障害検出を行うことができる。その結果、マスタユニット100aとチェッカユニット100bとを別々のLSIで構成している場合には、内部信号131aを障害検出回路190に転送するためのLSIピン数と障害検出回路190の面積を抑えながら障害検出率を向上できる。また、マスタユニット100aとチェッカユニット100bとを同一チップ上に集積している場合には、内部信号131aを障害検出回路190に転送するための配線数と障害検出回路190の面積を抑えながら障害検出率を向上できる。

【0052】これ以降においては上述した各部毎にその詳細を説明する。

【0053】プロセッサ回路101a（図1）の一構成例を図2を用いて説明する。

【0054】このプロセッサ回路101aは、コアプロセッサ200、内蔵RAM201、内蔵ROM202、内蔵キャッシュメモリ203、外部I/Oインターフェース205、内部バス211～213から構成されている。

【0055】内部処理結果信号102a-1～102a-5は、それぞれ内部バス212、コアプロセッサ200内のレジスタ、コアプロセッサ200内の演算器、内部バス211、内部バス213から読み出されるものである。

【0056】内蔵RAM201からデータを読み出す場合、コアプロセッサ200は、内部バス211を通して内蔵RAM201へ読み出しアドレスを転送する。すると、内蔵RAM201は、当該アドレスのデータを内部バス211を通してコアプロセッサ200へ転送する。この場合、このアドレスとデータが、内部処理結果信号102a-4として出力される。

【0057】内蔵ROM202に対するアクセスも、内部バス211を通して同様に行われる。この場合もそのアドレスとデータは、内部処理結果信号102a-4として出力される。

【0058】内蔵キャッシュメモリ203からデータを読み出す場合、コアプロセッサ200は、内部バス21

2を通して内蔵キャッシュメモリ203へアドレスを転送する。すると、内蔵キャッシュメモリ203は、当該アドレスのデータを内部バス212を通してコアプロセッサ200へ転送する。この場合、このアドレスとデータが、内部処理結果信号102a-1として出力される。

【0059】当該アドレスのデータが内蔵キャッシュメモリ203に登録されていない場合には、当該アドレスは内部バス212、213を通して外部I/Oインターフェース205に転送される。外部I/Oインターフェース205は、当該アドレスのデータを読み出すべく、主メモリ112へアクセスする。そして、主メモリ112から転送されてきたデータを、内部バス213、212を通して内蔵キャッシュメモリ203へ登録する。また、当該データをコアプロセッサ200へ転送する。このデータは、外部I/Oインターフェース205から内部バス213にデータが転送されたタイミングで、内部処理結果信号102a-5として出力される。

【0060】内蔵キャッシュメモリ203にアクセスすることなく、直接、外部I/Oインターフェース205へアクセスする場合には、コアプロセッサ200は該アクセスを、直接、内部バス213を通して行う。この場合、コアプロセッサ回路200から出力されたアドレスが内部処理結果信号102a-5として出力される。

【0061】コアプロセッサ200内の演算器で演算を行うときには、演算結果が内部処理結果信号102a-3として出力される。また、コアプロセッサ200内のレジスタへの書き込みを行うときには、書き込みデータが内部処理結果信号102a-2として出力される。

【0062】次に、内部信号選択回路150a（図1）の一構成例を図3を用いて説明する。

【0063】この例の内部信号選択回路150aは、マルチプレクサ401で構成される。マルチプレクサ401は選択信号130aに従って内部処理結果信号102aのなかから一つを選択し、該選択した信号を内部信号131aとして出力する。

【0064】このマルチプレクサ401の構成の一例を図4に示す。図4において、符号“130a-1”～“130-5”を付したのは選択信号である。符号“102a-1”～“102a-5”を付したのは内部処理結果信号である。このマルチプレクサ401は、5個の論理（AND）素子と、1個の論理（OR）素子とから構成される。

【0065】ここでは内部処理結果信号102aが5種類あることに対応して、選択信号130aを5ビットの信号（130a-1～130a-5）で構成している。そして、各ビットの選択信号（130a-1～130a-5）が、内部処理結果信号102aのそれぞれに対応づけられている。

【0066】選択信号130a-1～5の間には優先度

が設定されている。図4からも分かるとおり、最も優先度が高いのは選択信号130a-1である。選択信号130a-1が1の時には選択信号130a-2~130a-5の値によらず、内部信号131aとして内部処理結果信号102a-1が出力される。選択信号130a-1が0で、選択信号130a-2が1の時には選択信号130a-3~130a-5の値によらず、内部信号131aとして内部処理結果信号102a-2が出力される。選択信号130a-1~130a-2が0で、選択信号130a-3が1の時には選択信号130a-4~130a-5の値によらず、内部信号131aとして内部処理結果信号102a-3が出力される。選択信号130a-1~130a-3が0で、選択信号130a-4が1の時には選択信号130a-5の値によらず、内部信号131aとして内部処理結果信号102a-4が出力される。選択信号130a-1~130a-4が0で、選択信号130a-5が1の時には、内部信号131aとして内部処理結果信号102a-5が出力される。

【0067】ここで、内部処理結果信号102a-1~102a-5を全て32ビットとすると、これら全ての信号に対して常に障害検出を行おうとすると、内部信号131aは160ビット(=32ビット×5回路)の配線が必要である。それに対し、本発明を用いれば任意のタイミングで何れか一つの内蔵回路に関する信号しか出力しないため、32ビット分の配線でよい。そのため、例えばマスタユニット100a(図1参照)から内部信号131aを出力する際に専用のLSIピンを使う場合、本発明によれば1/5のピン数でよい。

【0068】障害検出回路190(図1)の構成例を図5示す。該障害検出回路190は、比較器801、802、論理(OR)素子803からなる。比較器801は、転送バス121から入力されたデータと、転送バス122から入力されたデータとを比較する。一方、比較器802は、内部信号131aと内部信号131bとを比較する。

【0069】比較器801、802の出力信号(比較結果)は、論理(OR)素子803に入力されている。これにより、論理(OR)素子803は比較器801、802のうち何れか一方でも不一致を検出していた場合には障害検出信号191を出力する。

【0070】比較器802を2入力EORと2入力ORで構成している場合には、nビットの信号同士の比較を行うためには、EOR回路をn個とOR回路を(n-1)個が必要である。図4の内部処理結果信号102a-1~5はそれぞれ全て32ビット構成であるとする、これら全ての信号に対して常に障害検出を行うには、160ビット(=32ビット×5回路)分の比較を行わなければならない。そしてそのためには、比較器802にはEOR回路が160個、OR回路が159個必

要である。それに対し、本発明では任意のタイミングで何れか一つの内蔵回路に関する比較を行えばよいため、32ビット分の比較を行えばよく、EOR回路を32個、OR回路を31個で足りる。つまり、比較器802の面積を約1/5にできる。

【0071】次に、内部信号131aの変化の様子を図6のタイムチャートを用いて説明する。

【0072】図6は命令1(演算命令)から命令4(演算命令)の4つの命令の実行中に、図1の内部信号選択回路150aの出力信号(すなわち内部信号131a)がどのように変化するかを示したものである。ここではコアプロセッサ101aがパイプライン処理を行うものであり、また、実行する命令列が内蔵ROM202に記憶されているものとして説明を行う。

【0073】図6(a)は各命令のパイプラインステージを示したものである。パイプラインは、ロード命令(命令2)の場合、命令フェッチステージ(以下“IFステージ”と略記する)、命令デコードステージ(以下“Dステージ”)、演算実行ステージ(以下“Eステージ”)、メモリアクセスステージ(以下“Aステージ”)、レジスタ書き込みステージ(以下“Wステージ”)から構成される。

【0074】他の演算命令(命令1、3、4)は、Aステージ以外はロード命令(命令2)と同じパイプラインステージで構成されている。そして、ロード命令(命令2)におけるAステージに代わって、特に有効な処理を行わないNステージが設けられている。Nステージは、Wステージの位置をロード命令と合わせるためのパイプラインステージであり、このステージでは特に使用される回路は無い。

【0075】図6(b)は各命令実行中に図1のプロセッサ回路101aから出力される内部処理結果信号102aを示したものである。

【0076】ロード命令の場合、IFステージでは図2の内蔵ROM202からの命令の読み出しを行う。この時には、命令のアドレスを内部処理結果信号102a-4として出力する。次のDステージでは、読み出された命令を解釈して、ソースレジスタを読み出す。Eステージでは、コアプロセッサ200内の演算器でロードアドレスを計算する。この時には、内部処理結果信号102a-3としてこの計算したアドレスを出力する。Aステージでは、Eステージで求めたロードアドレスを使って内蔵キャッシュメモリ203にアクセスし、データを読み出す。この時には内部処理結果信号102a-1として、このロードアドレスが出力される。Wステージでは、Aステージで読み出したデータをコアプロセッサ200内のレジスタに書き込む。この時には内部処理結果信号102a-2として、このレジスタに書き込むデータを出力する。

【0077】他の演算命令(命令1、3、4)の場合に

は、IFステージからEステージの処理はロード命令と同じである。Nステージでは特に処理を行わない。Wステージでは、Eステージで求めた計算値をレジスタに書き込む。この時には内部処理結果信号102a-1としては、ロード命令の場合と同様にレジスタに書き込むデータを出力する。

【0078】図1の選択信号130aとして各パイプラインステージで有効な命令を実行しているか否かを示す信号(図6(c)参照)を使えば、内部信号131aとして、その時有効な処理を行っているプロセッサ回路101aの内蔵回路に関する内部処理結果信号を、実行マシナサイクルごとに出力できる(図6(d)参照)。なお、この図6における選択信号130a-1~130a-4間での優先順位は、選択信号130a-1がもっとも高く、続いて、選択信号130a-2、選択信号130a-3、選択信号130a-4の順になっているものとする。

【0079】次に、本発明の第2の実施形態を図7、図8を用いて説明する。

【0080】該第2の実施形態は、第1の実施形態と比べて、内部信号の授受を共通バス110を通じて行うことで内部信号授受のための専用のピンを削減した点に特徴を有するものである。

【0081】該第2の実施形態の全体構成を図7に示した。図7中、符号“700a”を付したのはマスタユニット、符号“700b”を付したのはチェッカユニットである。同様に“9190”は障害検出回路、“9191”は障害検出信号、“140a”、“140b”はセレクタ、“141”、“142”は内部バス、“9131a”、“9131b”は内部信号、“9132b”、“9133”、“9134”は転送バスを指している。なお、図1の実施形態と同様の機能を備える部分には同じ符号を付し、説明は省略する。

【0082】ここで、マスタユニット700aとチェッカユニット700bはそれぞれ複数のLSIで構成されていてもよいし、1つのLSIに集積されていてもよい。また、マスタユニット700a、チェッカユニット700b、共通バス110が1つのLSI上に集積されていてもよい。

【0083】図7において、マスタユニット700aとチェッカユニット700bは同一の処理を実行する。

【0084】主メモリ112からデータを読み込むときには、マスタユニット700aのプロセッサ回路101aは、セレクタ140a、内部バス141、共通バス110を通して主メモリ112へアドレスを転送する。これに応じて主メモリ112は、当該アドレスのデータを、共通バス110、内部バス141を通してプロセッサ回路101aへ送る。このとき、主メモリ112から共通バス110にデータが出力されたタイミングに同期して、チェッカユニット700bも該データを取り込

む。そして、転送バス9134、内部バス142を通してプロセッサ回路101bに該データを転送する。

【0085】主メモリ112にデータを書き込むときは、マスタユニット700aのプロセッサ回路101aは、セレクタ140a、内部バス141、共通バス110を通して、アドレスとデータとを主メモリ112に送る。このときチェッカユニット700bは、マスタユニット700aから共通バス110にデータ等が出力されたタイミングで、共通バス110からデータを読み込む。該読み込まれたデータは、転送バス9133を通して障害検出回路9190に入力される。これと同時に、障害検出回路9190には、プロセッサ回路101bから出力されるデータも、内部バス142、セレクタ140b、転送バス9132bを通して入力されている。

【0086】なお、特に述べなかったが、プロセッサ回路101aと主メモリ112との間でデータの読み書きが行われている時には、セレクタ140aはプロセッサ回路101aからのデータを選択し、これを内部バス141に出力させている。また、セレクタ140bも同様に、この間は、内部バス142を通じて入力されるプロセッサ回路101bからの信号を選択し、これを障害検出回路9190へ出力させている。

【0087】プロセッサ回路101aと主メモリ112との間でデータ転送が行われていない時には、セレクタ140aは内部信号選択回路150aの出力する内部信号9131aを選択し、これを内部バス141に出力させる。内部バス141に出力された信号(内部信号9131a)は、共通バス110、転送バス9133を通して障害検出回路9190へ入力される。同様にデータ転送が行われていない時には、セレクタ140bは、内部信号9131bを選択し、これを転送バス9132bを通して障害検出回路9190へ入力させる。

【0088】障害検出回路9190は、プロセッサ回路101aから主メモリ112へのデータ書き込みを行うタイミングでは主メモリ112へ書き込むデータの一致性に基づいて障害検出を行う。また、プロセッサ回路101aと主メモリ112の間のデータ転送が行われていないタイミングでは、共通バス110等を通じて送られてくる内部信号9131aと、セレクタ140bから出力されてくる内部信号9131bとの一致性に基づいて障害検出を行う。

【0089】本実施形態では、共通バス110を通して内部信号9131aをチェッカユニット700bに転送するようになっている。そのため、マスタユニット700aとチェッカユニット700bとを別々のLSIで構成している場合には、専用のLSIピンを設けることなく障害検出率を向上することが出来る。また、マスタユニット700aとチェッカユニット700bとを同一チップ上に集積している場合には、内部信号9131aを障害検出回路9190に転送するために外部の配線を使

10

20

30

40

50

うことなく、障害検出率を向上できる。

【0090】障害検出回路9190(図7)は、図8に示すとおり、比較器1801を用いて構成可能である。比較器1801は転送バス9133から入力される信号と、転送バス9132bから入力される信号とを比較し、不一致を検出すると障害検出信号9191を出力する。障害検出器190(図5参照)は比較器を2つ使用して構成していたのに対し、図8の障害検出回路9134は比較器を1つしか必要としない。従って、障害検出器の面積を削減することが可能である。例えばマスタユニットから主メモリへの書き込みデータと内部信号がそれぞれ32ビット幅であるとする、図8の障害検出器9190の面積は、図5の障害検出器190の半分にできる。

【0091】本発明の第3の実施形態を図9を用いて説明する。

【0092】該第3の実施形態は、上述の実施形態と比べて、障害検出をマスタとチェッカとで分担して行うことを特徴とするものである。

【0093】第3の実施形態の全体構成を図9に示す。図中、符号“1200a”を付したのはマスタユニット、符号“1200b”を付したのはチェッカユニットである。同様に、符号“1110”はマスタ/チェッカ設定信号、“1280a”、“1280b”は全二重回路インターフェース、“1281a”、“1281b”、“1282a”、“1282b”は内部バス、“1271”、“1272”、“1273”、“1275”、“1276”は転送バス、“1283”は論理(OR)素子を指している。なお、上述の実施形態と同じ機能を有する部分については同じ符号を付し、説明を省略する。

【0094】マスタ/チェッカの指定は、外部から入力されるマスタ/チェッカ設定信号1110によって行う。マスタ/チェッカ設定信号1110として“1”が入力されると、マスタユニット1200aが主メモリ112とデータの入出力を行なう。一方、“0”が入力されるとチェッカユニット1200bが主メモリ112とデータの入出力を行う。これ以降は、マスタ/チェッカ信号1110が“1”になっているものとして説明を行う。

【0095】マスタユニット1200aとチェッカユニット1200bはそれぞれ複数のLSIで構成されていてもよいし、1つのLSIで構成されていてもよい。また、マスタユニット1200a、チェッカユニット1200b、共通バス110が1つのLSI上に集積されていてもよい。

【0096】図9において、マスタユニット1200aとチェッカユニット1200bは同一の処理を実行する。

【0097】主メモリ112からデータを読み込むとき、マスタユニット1200aのプロセッサ回路101

aは、内部バス1281a、1282a、共通バス110を通して主メモリ112へアドレスを送る。これに応じて主メモリ112は、当該アドレスのデータを、共通バス110、内部バス1282a、1281aを通してプロセッサ回路101aへ送る。このとき、主メモリ112から共通バス110にデータが出力されたタイミングに同期して、チェッカユニット1200bも該データを取り込む。そして、内部バス1282b、1281bを通してプロセッサ回路101bに該データを転送する。

【0098】主メモリ112にデータを書き込むときは、マスタユニット1200aのプロセッサ回路101aは内部バス1281a、1282a、共通バス110を通して、アドレスとデータを主メモリ112に送る。このときチェッカユニット1200bは、マスタユニット1200aが該データ等を共通バス110に出力したタイミングで共通バス110から該データを読み込む。読み込まれたデータは、内部バス1282b、転送バス1276を通して障害検出回路190bに入力される。これと同時に、障害検出回路190bには、プロセッサ回路101bの出力するデータも、内部バス1281bを通して入力されている。

【0099】マスタユニット1200aにおいて、内部信号選択回路150aから出力される内部信号1231は、全二重回路インターフェース1280aへ入力されている。全二重回路インターフェース1280aは、内部信号1231の一部を転送バス1271aを通して障害検出回路190aへ出力する。内部信号1231の残りは、転送バス1273を通じてチェッカユニット1200bへ出力する。

【0100】一方、チェッカユニット1200bの全二重回路インターフェース1280bも同様に、内部信号選択回路150bの出力する内部信号の一部を転送バス1271bを通じて障害検出回路190bへ出力する。また、内部信号の残りを、転送バス1273を通じてチェッカユニット1200aへ出力する。この場合、全二重回路インターフェース1280bがマスタユニット1200aに送るのは、内部信号1231のうち全二重回路インターフェース1280aが障害検出回路190aに送った部分に対応する部分である。逆に、全二重回路インターフェース1280aがチェッカユニット1200bに送るのは、内部信号1231のうち全二重回路インターフェース1280bが障害検出回路190bに送った部分に対応する部分である。

【0101】全二重回路インターフェース1280aは、転送バス1273を通じてチェッカユニット1200bから送られてきた内部信号を、転送バス1272aを通じて障害検出回路190aに送る。

【0102】同様に、全二重回路インターフェース1280bは、転送バス1273を通じてマスタユニット1

10

20

30

40

50

200 aから送られてきた内部信号を転送バス1272 bを通じて障害検出回路190 bに送る。

【0103】このようにして、マスタユニット1200 aの障害検出回路190 aは内部信号のうちの一部分について障害検出を行う。内部信号の残りの部分についての障害検出は、チェッカユニット1200 bの障害検出回路190 bが行う。障害検出回路190 bは、マスタユニット1200 aのプロセッサ回路101 aから主メモリ112への書き込みデータを使った障害検出も行う。

【0104】論理(OR)素子1283は、マスタユニット1200 aとチェッカユニット1200 bとの少なくとも一方で不一致を検出すると、障害検出信号1220を出力する。

【0105】上記した構成によれば、内部信号に基づく障害検出をマスタユニット側とチェッカユニット側とで分担するとともに、マスタユニット側からの送信とチェッカユニットとの間での内部信号の授受を全二重回路を用いて行っている。従って、マスタユニット1200 aとチェッカユニット1200 bを別々のLSIで構成している場合には、内部信号をマスタ/チェッカ間で転送するために必要なLSIピン数を図1の例などと比べて1/2に抑えながら、障害検出率を向上できる。また、マスタユニット1200 aとチェッカユニット1200 bを同一チップ上に集積した場合には、内部信号1231を障害検出回路190 bに転送するための配線数を1/2に抑えながら障害検出率を向上できる。

【0106】全二重回路インターフェース1280 a(図9参照)の詳細を図10を用いて説明する。図10において、符号“1341”、“1342”を付したのはセレクトラである。同様に、符号“1370”は全二重回路、“1371”は出力バッファ、“1372”は入力回路、“1310”…“1312”は転送バスを指している。

【0107】例えば内部信号1231が32ビット幅で入力される場合を考える。その上位16ビットは転送バス1310によってセレクトラ1341、1342へ、また、下位16ビットは転送バス1311によってセレクトラ1341、1342へ入力される。このように、2つのセレクトラ1341、1342には、内部信号1231が上位ビットと下位ビットに分けて入力されている。そして、一方のセレクトラが上位ビットを出力するときには、他方のセレクトラは下位ビットを出力する。つまり、マスタユニットにおいて、セレクトラ1341が上位ビットを出力させているときには、セレクトラ1342は下位ビットを出力している。一方、チェッカユニットの全二重回路インターフェース1280 bでは、セレクトラ1341、1342による選択は、マスタとは逆になっている。つまり、ここでは、チェッカユニットのセレクトラ1341は下位ビットを、また、セレクトラ1342は上位ビットを出力する。

【0108】全二重回路1370は、転送バス1273を同時に双方向のデータ転送に使うための回路である。該全二重回路1370は、転送バス1312を通じて入力されるセレクトラ1342の出力を、内部に有する出力バッファ1371およびチェッカユニットの間の転送バス1273を通じて相手ユニットへ転送する。また、その一方で、転送バス1273を通じて相手ユニットから送られてきた信号レベルを検出し、当該検出値を転送バス1272を通じて障害検出回路190 a、190 bへ送る。この信号レベルの検出は、転送バス1273上の信号レベルを、入力回路1372で、転送バス1312からの入力信号レベルと比較することで行っている例えば、出力バッファ1371の出力する信号レベルを0とVの2通りである場合を考える。転送バス1312からの入力信号レベルがVで、転送バス1273上の信号レベルがV/2の時には、チェッカユニットが出力した信号レベルは0であることが分かる。転送バス1312からの入力信号レベルがVで、転送バス1273上の信号レベルがVならば、チェッカユニットが出力した信号レベルはVであることが分かる。同様に、転送バス1312からの入力信号レベルが0、転送バス1273上の信号レベルが0の時には、チェッカユニットが出力した信号レベルは0であることが分かる。転送バス1312からの入力信号レベルが0、転送バス1273上の信号レベルがV/2の時には、チェッカユニットが出力した信号レベルはVであることが分かる。

【0109】ここでの例では、マスタユニット側からは下位ビットがチェッカユニット側に送られ、逆に、チェッカユニット側からはマスタユニット側へ上位ビットが転送されることになる。全二重回路1370は、このようにして検出した信号レベルを、転送バス1272へ出力する。

【0110】ところで、セレクトラ1341の出力は、転送バス1271を通じて障害検出回路190 a、190 bへ送られる。ここでの例では、マスタユニットのセレクトラ1341は内部信号の上位ビットを、一方、チェッカユニットのセレクトラ1341は内部信号の下位ビットを出力している。

【0111】これによりマスタユニットの障害検出回路190 aには、マスタユニットの内部信号の上位ビットと、チェッカユニットの内部信号の上位ビットとが入力されることになる。また、チェッカユニットの障害検出回路190 bには、チェッカユニットの内部信号の下位ビットと、マスタユニットの内部信号の下位ビットとが入力されることになる。このように障害検出は、マスタユニットとチェッカユニットとで分担して行っている。

【0112】ここでは、内部信号の上位ビットと下位ビットに分割していたが、分割の仕方はこれに限定されるものではない。例えば、奇数ビットと偶数ビットとに分

10

20

30

40

50

けるようにしてもよい。

【0113】本実施形態では全二重回路を用いていた。しかし、マスタとチェッカとが交代で信号を送るようになれば、全二重回路を用いなくてもピン（あるいは、配線）の共用化を図ることは可能である。

【0114】本発明の第4の実施形態を図11、図12、図13を用いて説明する。

【0115】該第4の実施形態は、上述の実施形態と比べて、内部処理結果信号のみならず選択信号をも内部信号として、マスタとチェッカとの間で授受することとを特徴とする。また、該選択信号を障害検出信号15191に含めていることを特徴とする。

【0116】図11において、符号“1500a”を付したのはマスタユニット、符号“1500b”を付したのはチェッカユニットである。同様に、符号“15150a”、“15150b”は内部信号選択回路、符号“15131a”、“15131b”は内部信号、“15190”は障害検出器、“15191”は障害検出信号を指す。上述の実施形態と同様の機能を有する部分には同じ符号を付して、説明を省略した。なお、マスタユニット1500aとチェッカユニット1500bはそれぞれ複数のLSIで構成されていてもよいし、1つのLSIで構成されていてもよい。また、マスタユニット1500a、チェッカユニット1500b、共通バス110が1つのLSI上に集積されていてもよい。

【0117】マスタユニット1500aの内部信号選択回路15150aは、選択信号130aに従って内部処理結果信号102aから任意の信号を選択する。そして、この選択した信号と選択信号130aとを併せて内部信号15131aとして出力する。この内部信号15131aは、チェッカユニット1500bの障害検出回路15190へ入力されている。

【0118】チェッカユニット1500bの内部信号選択回路15150bも同様に、内部処理結果信号102bの中から選択した信号と選択信号130bとを併せて、これを内部信号15131bとして障害検出回路15190へ出力する。

【0119】障害検出回路15190は、内部信号15131aと内部信号15131bとを比較し、その一致性を監視している。また、転送バス121から入力されたデータと転送バス122から入力されたデータとを比較し、その一致性を監視している。そして、いずれかでも不一致が発生していた場合には、障害検出信号15191を出力する。該障害検出信号15191には、選択信号も含んでいる。

【0120】このように障害検出信号15191に選択信号を含めることで、障害発生の有無のみならず、障害発生箇所も明確となる。そのため、障害発生箇所に応じて障害回復処理を行うことがより容易となり、システムの信頼性が向上する。

【0121】図11の内部信号選択回路15150aの具体的構成の一例を図12を用いて説明する。マルチプレクサ401は、選択信号130aに従って内部処理結果信号102aの中から一つの信号を選択し出力させる（出力信号410）。この後、この出力信号410に選択信号130aを付加して内部信号15131aとして出力する構成になっている。

【0122】図11の障害検出回路15190の構成例を図13を用いて説明する。図13中、符号“15191-1”、“15191-2”は障害検出信号を、また、符号“901”は転送バスを指している。比較器801は、転送バス121から入力されたデータと、転送バス122から入力されたデータとを比較する。そして、不一致があった場合には障害検出信号15191-1を出力する。比較器802は、内部信号15131aと内部信号15131bとを比較する。そして、不一致があった場合には障害検出信号15191-2を出力する。この障害検出信号15191-2には、内部信号15131aから取り出され転送バス901を通して送られてきた選択信号も含められている。

【0123】本発明の第5の実施形態として、上述した本発明の実施形態を利用して構成した機器制御システムを図14を用いて説明する。

【0124】図14において、符号“1470”を付したのは監視装置である。また、符号“1460”を付したのは指令信号である。マスタユニットおよびチェッカユニットとしては、上述の図11等を用いて説明したものを使用している。

【0125】チェッカユニット1500bの出力する障害検出信号15191は、監視装置1470へ入力される。監視装置1470は、障害検出信号15191によってどの内蔵回路で障害が発生したかを知ることが出来る。そのため、マスタユニット1500a、チェッカユニット1500bに与える指令信号1460を障害発生箇所に応じて変えることで、検出した障害に応じた障害回復処理を行うことができる。例えば障害検出時に演算器で障害が発生したことが分かれば、障害発生したときの演算処理をもう一度やり直すことで障害による影響を回避することが可能となり、軽微な障害ではシステム停止を防ぐことが出来る。また、障害の発生した内蔵回路を使用しない処理のみ行うことでシステム停止を防ぐことが出来る。このように、検出した障害の種類に応じた障害回復処理を行うことが出来るため、システムの信頼性を向上できる。

【0126】本発明の第6の実施形態として、上述の実施形態を利用した機器制御システムを図15を用いて説明する。

【0127】図15において、符号“1600a”を付したのは現在処理を行っている現行系、符号“1600b”を付したのは処理を行わず待機している待機系であ

10

20

30

40

50

る。同様に、符号“1591a”、“1591b”は障害検出信号、“1560”は指令信号を指す。

【0128】現行系1600aおよび待機系1600bは、複数のLSIで構成されていてもよいし、1つのLSIで構成されていてもよい。図15において、現行系1600aおよび待機系1600bのそれぞれに内蔵されたマスタユニットとチェッカユニットは、図14におけるマスタユニット1500aとチェッカユニット1500bとそれぞれ同一の機能を有する回路である。

【0129】図15において、現行系1600aで障害が検出されると障害検出信1591aが監視装置1570に出力される。監視装置1570は、障害検出信号1591aによって障害がどの内蔵回路で発生したかを知ることが出来る。そのため、監視装置1570は、現行系1600aで行っている処理の待機系1600bへの引き継ぎタイミングを障害検出箇所に応じて制御することが出来る。例えば、現行系1600aのマスタユニット内の内蔵キャッシュメモリで障害が発生していた場合を考える。このような障害の場合には、内蔵キャッシュを使わずに処理を行っている間は、現行系1600aの外部へ障害の影響が及ぶことはない。従って、障害検出を検出した時点で、監視装置1570は、現行系1600aを内蔵キャッシュメモリを使わない縮退モードに移行させる。一方、待機系1600bには現行系1600aから処理を引き継ぐための予備処理を開始させる。このような動作制御は、指令信号1560を出力することで行う。障害の影響が現行系1600aから外部へ及ぶ前に待機系1600bでの予備処理を終了できれば、現行系1600aでの処理を中断することなしに待機系1600bへ引き継ぐことができる。このように本実施形態ではシステムの信頼性が高まる。

【0130】次に、第1の実施形態におけるプロセッサ回路101a（図1参照）の第2の構成例を図16を用いて説明する。

【0131】図16において、符号“1610”を付したのはマスクレジスタ、“1611”を付したのはマスク信号、“1620”を付したのはパイプラインステージ信号、“1630”を付したのはAND回路である。

【0132】図16のプロセッサ回路101aの構成例は、パイプラインステージ信号1620とマスク信号1611とのAND演算を行い、その結果を選択信号130aとして出力することを特徴としている。

【0133】マスクレジスタ1610は、プロセッサ回路101aに内蔵されている周辺回路の使用状態を記憶するレジスタである。例えばプロセッサ回路101aが、内蔵キャッシュメモリ203を使用せず、内蔵RAM201を使用するモードで動作している場合、マスクレジスタ1610の内蔵キャッシュメモリ203に対応するレジスタには“0”が、また、内蔵RAM201に対応するレジスタには“1”が記憶されている。

【0134】パイプラインステージ信号1620は、各パイプラインステージで有効な命令が実行されていることを示すものである。コアプロセッサ200は、そのときどきの動作状態に応じたパイプラインステージ信号1620を出力する。

【0135】AND回路1630は、このパイプラインステージ信号1620と、マスクレジスタ1610の出力するマスク信号1611とのAND演算を行なう。そして、その結果を選択信号130aとして出力する。

【0136】高信頼性が要求されるような場合、ノイズなどの影響によってキャッシュメモリと主メモリとの間にデータの不一致が発生するのを防ぐために、プロセッサに内蔵されたキャッシュメモリを使用しないことがある。この場合、内蔵キャッシュメモリは使用されることが始めから分かっているため内蔵キャッシュメモリに対して障害検出を行うことは無駄であり、障害検出率を低下させる原因になる。これに対しこの図16の例では、使用環境やアプリケーションに応じて障害検出の対象とする内蔵周辺回路をフレキシブルに設定できるため、どのような場合においても障害検出率を高くすることが出来る。

【0137】マスクレジスタ1610（図16参照）の構成例を図17を用いて説明する。図17において、符号“1710-1”…“1710-4”を付したのはレジスタ、符号“1720-1”…“1720-4”を付したのはマスク信号である。

【0138】本構成例においては、レジスタ1710-1～1710-4がそれぞれ図16における内蔵ROM201、コアプロセッサ200内の演算器、内蔵キャッシュメモリ202、コアプロセッサ200内のレジスタに対応している。図17の例では、レジスタ1710-3の内容が“0”となっているため、これに対応する内蔵キャッシュメモリに対する障害検出は行わない。

【0139】第1の実施形態におけるプロセッサ回路101a（図1参照）として図16の例を採用した場合におけるタイムチャートを図18に示す。

【0140】図18は、図6と同様の実行命令列を内蔵キャッシュメモリ203を使用しない構成において実行したときのタイムチャートである。

【0141】図18（a）は図6（a）と同様の内容を示しているため説明は省略する。

【0142】図18（b）は図6（b）と同様に各命令実行中にプロセッサ回路101aから出力される内部処理結果信号102aを示したものである。この場合はプロセッサ回路101aは内蔵キャッシュメモリ203を使用しないモードで動作しているため、（t+4）のタイミングの内部処理結果信号102a-1は無効なデータが出力される。

【0143】図18（c）は内蔵キャッシュメモリ203に対応するマスク信号1720-3を示したものであ

る。ここでは、該マスク信号1720-3は“0”である。他のマスク信号1720-1, 2, 4は省略してあるが全て“1”である。

【0144】図18(d)は、コアプロセッサ200から出力されるパイプラインステージ信号1620を示したものである。内部信号131aとして出力される信号は、tから(t+3)までの期間と、(t+5)から(t+7)までの期間とは、図6の場合と同一である。(t+4)のタイミングにおいて内部信号131aとして出力されるのは、内蔵キャッシュメモリ102a-1に対応する内部処理結果信号102a-1ではなく、コアプロセッサ200内のレジスタに対応する内部処理結果信号102a-2である。これは、この時の内蔵キャッシュメモリ102a-1に対応する内部処理結果信号102a-1には無効なデータしか含まれていないため、パイプラインステージ信号1620のうちの内蔵キャッシュメモリ203に対応する信号(すなわち、Aステージを表わす信号)をマスク信号1720-3によってマスクすることで選択信号130a-1を無効化(“0”)したためである。この場合には、内部処理結果信号102a-1の代わりに内部処理結果信号102a-2を内部信号131aとして出力することで、常に有効な障害検出を行うことが出来る。

【0145】以上説明した各種実施形態においては、信号線の本数などを増大させることなく、障害検出率の向上を図ることができる。

【0146】上述した実施形態ではすべて、障害検出回路をチェッカユニットに備えていた。しかし、障害検出回路のみを独立して設けるようにしても構わない。また、これ以外にも、システム全体としてみた場合上述した各種構成要素が含まれてさえいれば、その切り分け(いずれの構成要素がどこに属するか)は上述した実施形態には限定されない。

【0147】なお、特許請求の範囲において言う“内蔵回路”とは、例えば、図1におけるRAM201、ROM202、キャッシュメモリ203等に相当する。“内部処理結果出力手段”とは、例えば、図1におけるバス211, 212および内部処理結果信号102をプロセッサ回路から内部信号選択回路150aに導く信号線などに相当する。“比較回路”とは、例えば、図1における障害検出回路190が備えている比較器802に相当する。“バス”とは、例えば、図7におけるバス110に相当する。“第1の選択回路”とは、図7の例におけるセクタ104aに相当する。“第2の選択回路”とは、図7の例におけるセクタ104bに相当する。

“転送バス”とは、図9の例における、転送バス1273に相当する。“内部信号出力手段”とは、例えば、図9の例における全二重回路インターフェースに相当する。

“選択情報”とは、例えば、図13における転送バス901を通じて送られる選択信号に相当する。“処理ノー

ド”とは、例えば、図15における現行系1600a、待機系1600bに相当する。“障害検出手段”とは、例えば、図15における現行系1600a、待機系1600bを構成するチェッカユニットに含まれている障害検出回路15190(図11参照)等に相当する。“切換手段”とは、例えば、図15における監視装置1570に相当する。“内蔵回路動作状態出力手段”とは、例えば図16におけるマスクレジスタ1610、AND回路1630等に相当する。

【0148】

【発明の効果】以上説明したとおり本発明によれば、マスタ側の内部信号選択回路の出力信号をチェッカ側に転送するための配線(特にマスタとチェッカが別LSIで構成されるシステムにおいてはLSIピン数、マスタとチェッカが一つのLSI内に構成されているシステムにおいてはマスタ/チェッカ間の配線)の増加を抑えながら障害検出率を向上できる。

【0149】さらにはマスタ/チェッカ間の比較を行うための比較器の面積の増加も抑えつつ、障害検出率を向上できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の全体構成図である。

【図2】プロセッサ回路101aの構成例である。

【図3】内部信号選択回路150aの構成例である。

【図4】マルチプレクサ401の構成例である。

【図5】障害検出回路190の構成例である。

【図6】図1の実施形態の動作を説明するタイムチャートである。

【図7】本発明の第2の実施形態の全体構成図である。

【図8】障害検出回路9190の構成例である。

【図9】本発明の第3の実施形態の全体構成図である。

【図10】全二重回路インターフェース1280の構成例である。

【図11】本発明の第4の実施形態の全体構成図である。

【図12】内部信号選択回路15150aの構成例である。

【図13】障害検出回路15190の構成例である。

【図14】本発明の第5の実施形態である機器制御システムの構成を示すブロック図である。

【図15】本発明の第6の実施形態である機器制御システムの構成を示すブロック図である。

【図16】図1に示したプロセッサ回路101aの他の構成例を示す図である。

【図17】マスクレジスタ1610の構成例を示す図である。

【図18】プロセッサ回路101aとして図16の構成を採用した場合における動作を示すタイムチャートである。

【符号の説明】

10

20

30

40

50

27

100a, 700a, 1200a, 1500a…マスタ
ユニット
100b, 700b, 1200b, 1500b…チェ
ッカユニット
101a, 101b…プロセッサ回路
102a, 102b…内部処理結果信号
110…共通バス
112…主メモリ
130a, 130b…選択信号
131a, 131b, 1231, 15131a, 151 10
31b…内部信号
140a, 140b, 1341, 1342…セクタ
150a, 150b, 15150a, 15150b…内
部信号選択回路
190, 190a, 190b, 9190, 15190…
障害検出回路
191, 1220, 15191, 1591a, 1591
b, 9191…障害検出信号
125, 141, 142, 211~213, 1281 *

【図1】

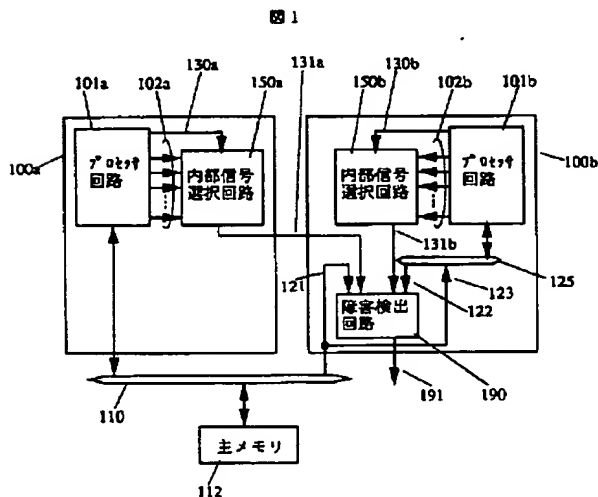


図1

28

* a, 1281b, 1282a, 1282b…内部バス
200…コアプロセッサ
201…内蔵RAM
202…内蔵ROM
203…内蔵キャッシュメモリ
205…外部I/Oインターフェース
401…マルチプレクサ
801, 802, 1801…比較器
803…論理(OR)素子
1110…マスタ/チェッカ設定信号
1280a, 1280b…全二重回路インターフェース
1370…全二重回路
1371…出力バッファ
1372…入力回路
1470, 1570…監視装置
1460, 1560…指令信号
1600a…現行系
1600b…待機系

【図2】

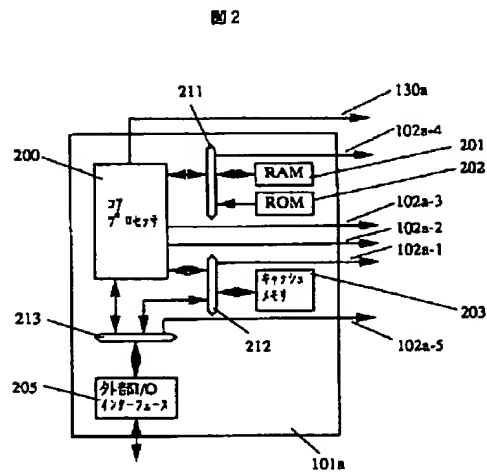


図2

【図3】

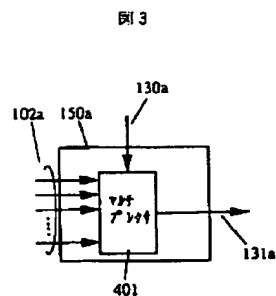


図3

【図12】

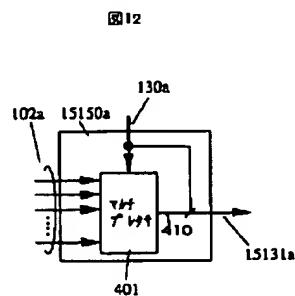


図12

【図8】

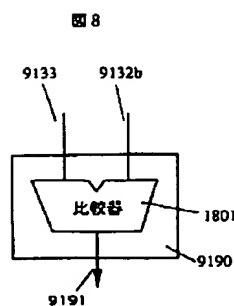


図8

【図10】

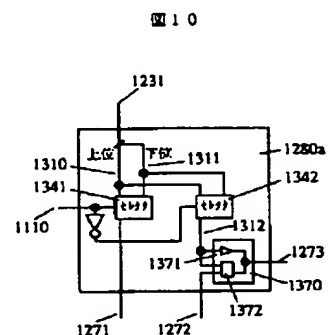
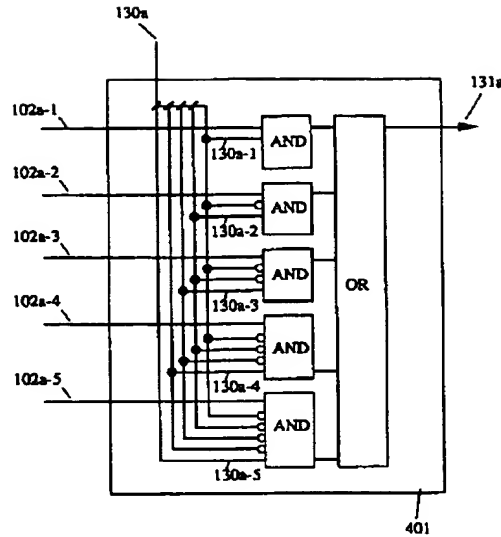


図10

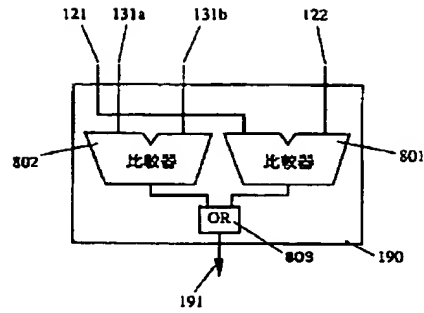
【図4】

図4



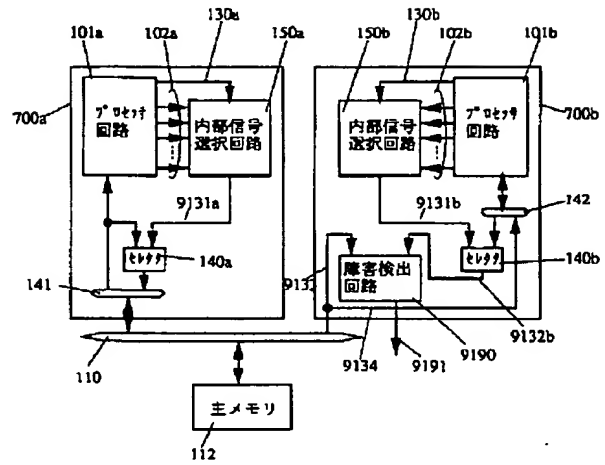
【図5】

図5



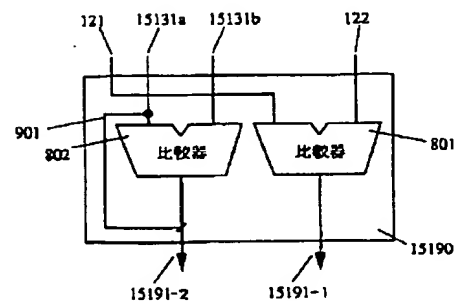
【図7】

図7



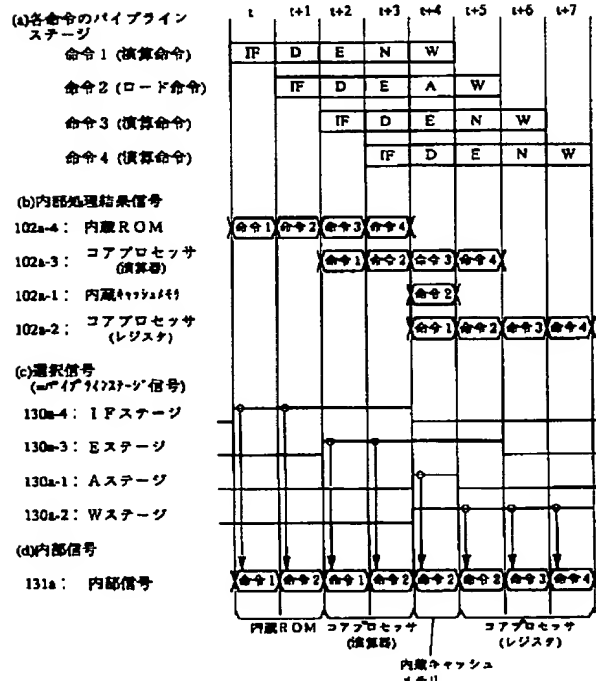
【図13】

図13

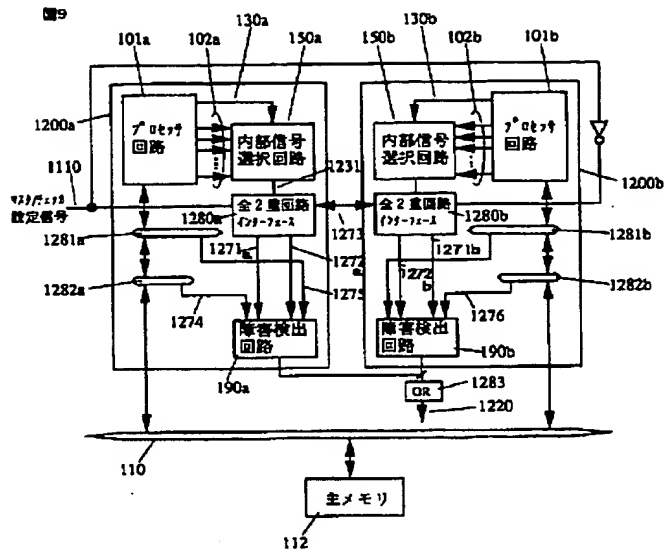


【図6】

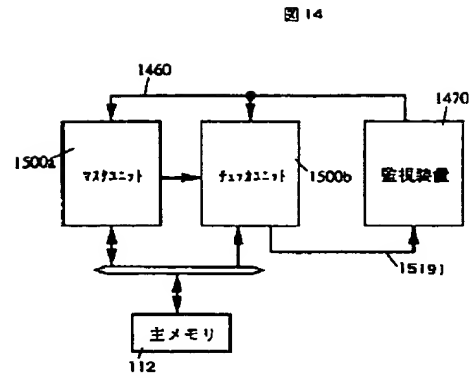
図6



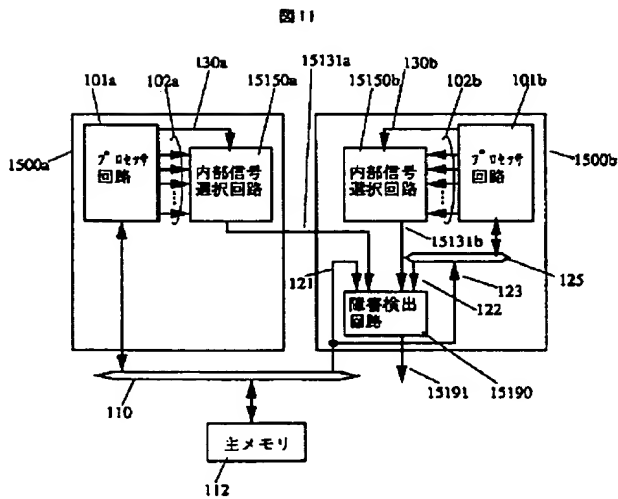
【図9】



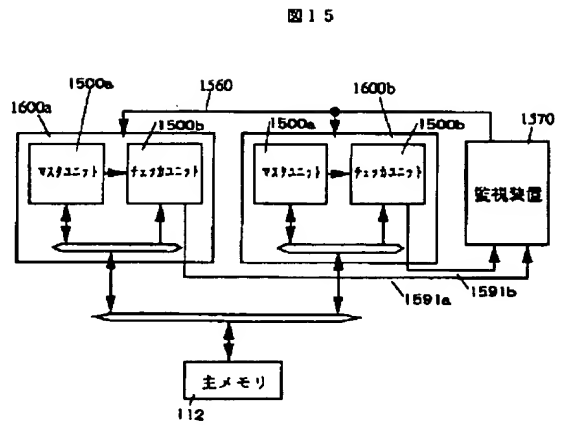
【図14】



【図11】

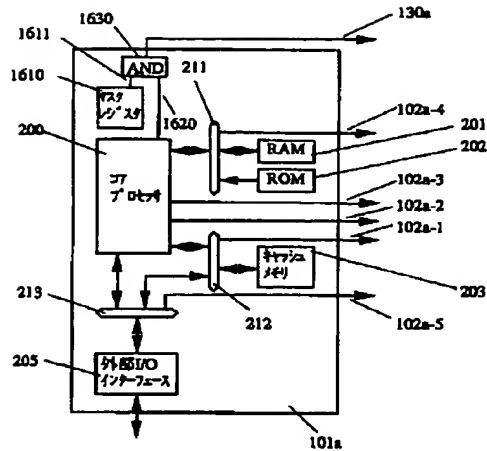


【図15】



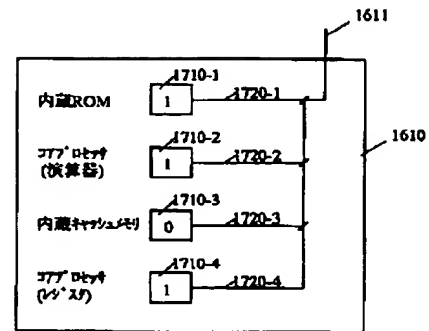
【図16】

図16

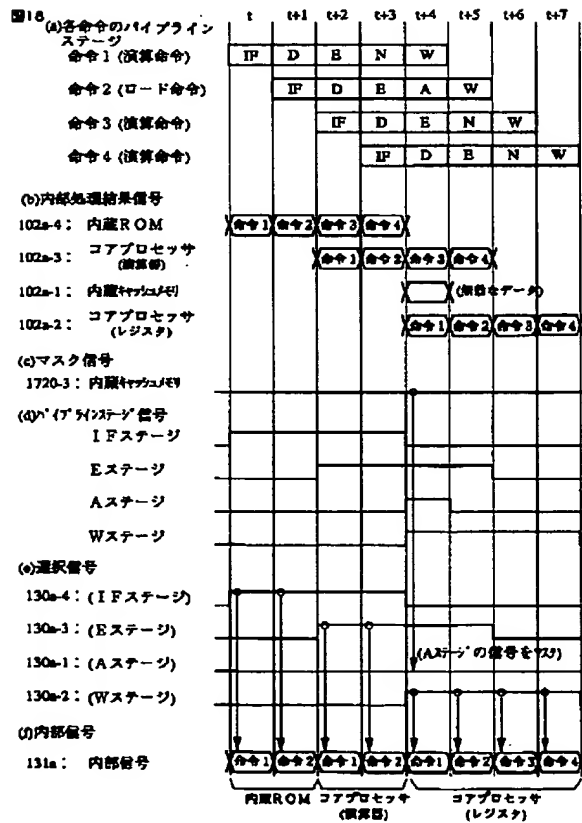


【図17】

図17



【図18】



フロントページの続き

(72)発明者 金川 信康

茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

(72)発明者 堀田 多加志

茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 11 年（1999）10 月 29 日

【公開番号】特開平 9-190361

【公開日】平成 9 年（1997）7 月 22 日

【年通号数】公開特許公報 9-1904

【出願番号】特願平 8-4127

【国際特許分類第 6 版】

G06F 11/18 310

11/22 310

11/30

13/00 301

【F I】

G06F 11/18 310 C

11/22 310 E

11/30 G

13/00 301 A

【手続補正書】

【提出日】平成 11 年 2 月 4 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】複数の情報処理装置を備え、各情報処理装置の処理結果を比較することで障害の発生を検出する機能を備えた情報処理システムにおいて、前記情報処理装置のそれぞれは、複数の内蔵回路および該内蔵回路それぞれの処理結果を出力する内部処理結果出力手段を備えたプロセッサ回路と、あらかじめ定められた時間ごとに前記内部処理結果出力手段の出力信号の中からいずれかを選択して出力する内部信号選択回路とを有するものであり、前記内部信号選択回路それぞれの出力する信号を比較し、その比較結果を出力する比較回路を有すること、を特徴とする情報処理システム。

【請求項 2】前記情報処理装置間および前記比較回路と前記情報処理装置との間をつなぐバスを備え、前記情報処理装置のうちの少なくとも一つは、前記内部信号選択回路の出力する信号を前記バスを通じて前記比較回路に入力させるものであること、を特徴とする請求項 1 記載の情報処理システム。

【請求項 3】前記情報処理装置のうち前記信号選択回路の出力する信号を前記バスを通じて前記比較回路に入力させているものは、当該情報処理装置自身の備える前記プロセッサ回路が出力する信号と、当該情報処理装置自身の備える前記内部信号選択回路の出力信号とのいずれ

か一方を選択して前記バスへ出力する第 1 の選択回路をさらに有すること、

を特徴とする請求項 2 記載の情報処理システム。

【請求項 4】前記バスに接続された記憶装置をさらに備え、

前記比較回路は、前記プロセッサ回路が前記バスを通じて前記記憶装置に向けて出力する信号が入力されており、前記プロセッサ回路のそれぞれが前記記憶装置に向けて出力する信号を比較しその比較結果を出力するものであること、

を特徴とする請求項 3 記載の情報処理システム。

【請求項 5】前記比較回路は前記情報処理装置のうちのいずれかに含まれており、

前記比較回路を含んだ前記情報処理装置は、当該情報処理装置自身の備える前記プロセッサ回路の出力信号と、当該情報処理装置自身の備える前記内部信号選択回路の出力信号とのいずれか一方を、前記第 1 の選択回路と同期して選択し出力する第 2 の選択回路をさらに有すること、

を特徴とする請求項 4 記載の情報処理システム。

【請求項 6】複数の情報処理装置を備え、各情報処理装置の処理結果を比較することで障害の発生を検出する機能を備えた情報処理システムにおいて、

前記情報処理装置間における双方向の信号転送に用いられる転送バスを有し、

前記情報処理装置は、

複数の内蔵回路および前記内蔵回路それぞれの処理結果を出力する内部処理結果出力手段を備えたプロセッサ回路と、

あらかじめ定められた時間ごとに前記内部処理結果出

力手段の出力信号の中からいずれかを選択して出力する内部信号選択回路と、

前記内部信号選択回路の出力する信号のうちの一部を前記転送バスを通じて他の情報処理装置に出力する内部信号出力手段と、

前記転送バスを通じて送られてくる他の情報処理装置の前記内部信号出力手段の出力する信号と、自らの内部信号選択回路の出力する信号のうちの上記他の情報処理装置の上記内部信号出力手段の出力する信号に対応する部分とを比較し、その比較結果を出力する比較回路と、を有するものであることを特徴とする情報処理システム。

【請求項7】前記転送バスを通じての信号の送信と受信とを同時に行う全二重インタフェースを備えること、を特徴とする請求項6記載の情報処理システム。

【請求項8】前記内部信号選択回路は、前記内部処理結果出力手段の出力信号のうちいずれかを選択したかを示す選択情報をも出力するものであり、前記比較回路は、前記選択情報を前記比較結果とともに出力するものであること、を特徴とする請求項1、2、3、4、5、6または7記載の情報処理システム。

【請求項9】前記情報処理装置は、比較回路の出力する前記比較結果および前記選択情報の値に応じて定められた所定の障害回復処理を行うものであること、を特徴とする請求項8記載の情報処理システム。

【請求項10】データを処理する処理ノードを複数備え、該処理ノードを必要に応じて切り替えて処理を継続する情報処理システムにおいて、

上記処理ノードは、自己の動作状態を監視しその異常を検知した場合には異常が発生したことおよび当該異常の発生箇所を示す異常信号を出力する障害検出手段を備えたものであり、

上記異常信号に応じて、上記異常の発生箇所毎にあらかじめ定められた処理を実行することで上記処理ノードを切り替える切換手段を有すること、を特徴とする情報処理システム。

【請求項11】上記処理ノードは、複数の内蔵回路と前記内蔵回路それぞれの処理結果を出力する内部処理結果出力手段とを備えた複数のプロセッサ回路と、前記内部処理結果出力手段の出力する信号の中からあらかじめ定められた時間ごとに異なる信号を選択して出力可能な内部信号選択回路とを含んで構成されたものであり、

上記障害検出手段は、上記異常信号として、自らの内部信号選択回路の出力する信号と他の処理ノードの内部信号選択回路の出力する信号とを比較するとともに、その比較結果と、前記内部処理結果出力手段の出力する信号のうち前記内部信号選択回路がいずれかを選択しているかを

示す選択情報とを、出力するものであること、を特徴とする請求項10記載の情報処理システム。

【請求項12】前記プロセッサ回路は、前記内蔵回路それぞれの動作状態を出力する内蔵回路動作状態出力手段を有し、

前記内部信号選択回路は、前記内蔵回路動作状態出力手段の出力信号に応じて前記選択の仕方を変更するものであること、

を特徴とする請求項1、2、3、4、5、6、7、8、9または11記載の情報処理システム。

【請求項13】複数の内蔵回路および前記内蔵回路それぞれの処理結果を出力する内部処理結果出力手段を備えたプロセッサ回路と、

あらかじめ定められた時間ごとに前記内部処理結果出力手段の出力信号の中からいずれかを選択して外部へ出力する内部信号選択回路と、

を有することを特徴とする論理LSI。

【請求項14】複数の内蔵回路および前記内蔵回路それぞれの処理結果を出力する内部処理結果出力手段を備えたプロセッサ回路と、

あらかじめ定められた時間ごとに前記内部処理結果出力手段の出力信号の中からいずれかを選択して出力する内部信号選択回路と、

別途入力された信号と、前記内部信号選択回路の出力する信号とを比較し、その比較結果を出力する比較回路をさらに有すること、

を特徴とする請求項13記載の論理LSI。

【請求項15】信号の入出力を同一の信号線を用いて同時に行うことのできる全二重回路を備え、

前記内部信号選択回路の出力する信号のうちの一部は、前記全二重回路を介して外部へ出力されるものであり、前記別途入力された信号は、前記全二重回路を介して入力されるものであること、

を特徴とする請求項14記載の論理LSI。

【請求項16】前記プロセッサ回路は、前記内蔵回路それぞれの動作状態を出力する内蔵回路動作状態出力手段をさらに有し、

前記内部信号選択回路は、前記内蔵回路動作状態出力手段の出力信号に応じて前記選択の仕方を変更するものであること、

を特徴とする請求項13、14または15記載の論理LSI。

【請求項17】複数の内部回路を有するプロセッサ回路と、予め定められた時間毎に上記プロセッサ回路からの出力信号のいずれかを選択して出力する選択回路とを有する複数の情報処理部と、

それぞれの上記情報処理部の選択回路が出力する信号を比較し、その比較結果を出力する比較回路とを有し、

上記複数の情報処理部と上記比較回路とが1つの半導体基板上に形成された情報処理装置。

【請求項18】請求項17において、
上記複数の情報処理部間及び上記比較回路と上記情報処理部との間を接続するバスを有し、上記情報処理部の少なくとも1つは、上記内部信号選択回路の出力する信号を上記バスを通じて上記比較回路に入力させるものである情報処理装置。

【請求項19】複数の内部回路を有するプロセッサ回路と、予め定められた時間毎に上記プロセッサ回路からの出力信号のいずれかを選択して出力する選択回路とを有する複数の情報処理部が1つの半導体基板上に形成され、

少なくとも1つの上記情報処理部は、それぞれの上記情報処理部の選択回路が出力する信号を比較し、その比較結果を出力する比較回路とを有する情報処理装置。

【請求項20】プロセッサ回路と、予め定められた時間毎に上記プロセッサ回路からの出力信号のいずれかを選択して出力する選択回路とを有する複数の情報処理部と、

それぞれの上記情報処理部の選択回路が出力する信号を比較し、その比較結果を出力する比較回路とが、
1つの半導体基板上に形成された複数の情報処理装置を有し、

複数の上記情報処理装置がバスによって接続されている情報処理システム。

【請求項21】プロセッサ回路と、予め定められた時間毎に上記プロセッサ回路からの出力信号のいずれかを選択して出力する選択回路とを有する少なくとも2つの情報処理部が1つの半導体基板上に形成された複数の情報処理装置を有し、

それぞれの情報処理装置のいずれか一方の上記情報処理部は、他方の上記情報処理部の選択回路が出力する出力信号と、自情報処理部の選択回路が出力する信号とを比較し、その比較結果を出力する比較回路を有し、

複数の上記情報処理装置がバスによって接続されている情報処理システム。